

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243630

(43)Date of publication of application : 08.09.2000

(51)Int.Cl. H01F 17/00

H01F 27/29

H01F 41/04

(21)Application number : 11-365012

(71)Applicant : HOKURIKU ELECTRIC IND CO LTD

(22)Date of filing : 22.12.1999

(72)Inventor : MAEDA SHIGEO
ENDO TOSHIO
OBARA YOZO

(30)Priority

Priority number : 10364753

Priority date : 22.12.1998

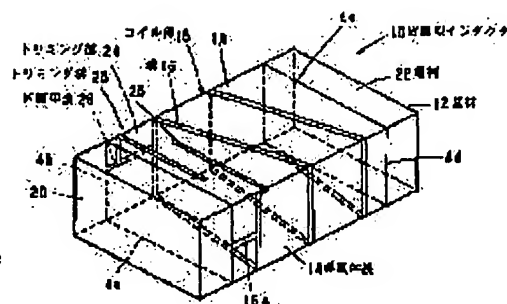
Priority country : JP

(54) FILM INDUCTOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a film inductor together with its manufacturing method for good mounting efficiency on a circuit board.

SOLUTION: A conductor film 14 is formed on the surface of an insulating base material 12 comprising such as ceramics or magnetic material wherein at least its surface is insulating, both ends of the base material 12 comprise electrodes 20 and 22, and the conductor film 14 between the electrodes 20 and 22 is provided with a conical groove 16 extending from one electrode 20 to the other electrode 22. A coil part 18 divided with the groove 16 is formed at the conductor film 14 on both sides of the groove 16, and a part of the coil part 18 is provided with a trimming part 24 for adjusting the inductance of the coil part 18 divided with the groove 16. The trimming part 24 is formed at one end part of the coil part 18 while contacting the electrode 20, which is sandwiched between one end part of the groove 16 and a division groove 26 extending from one side of the electrode 20 to the groove 16.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243630

(P2000-243630A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

H 0 1 F 17/00

H 0 1 F 17/00

G

27/29

41/04

C

41/04

15/10

B

審査請求 未請求 請求項の数9 O L (全 7 頁)

(21) 出願番号

特願平11-365012

(22) 出願日

平成11年12月22日 (1999. 12. 22)

(31) 優先権主張番号

特願平10-364753

(32) 優先日

平成10年12月22日 (1998. 12. 22)

(33) 優先権主張国

日本 (J P)

(71) 出願人 000242633

北陸電気工業株式会社

富山県上新川郡大沢野町下大久保3158番地

(72) 発明者 前田 茂男

富山県上新川郡大沢野町下大久保3158番地

北陸電気工業株式会社内

(72) 発明者 遠藤 寿雄

富山県上新川郡大沢野町下大久保3158番地

北陸電気工業株式会社内

(72) 発明者 小原 陽三

富山県上新川郡大沢野町下大久保3158番地

北陸電気工業株式会社内

(74) 代理人 100095430

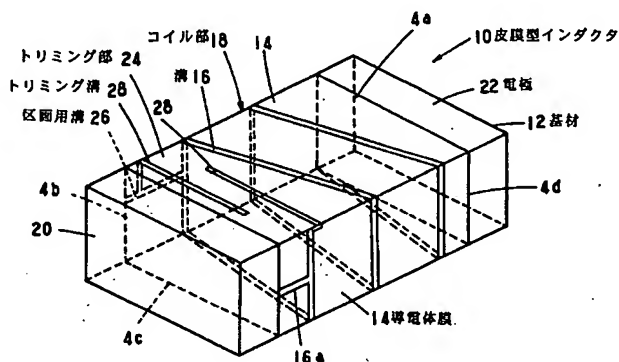
弁理士 廣澤 勲

(54) 【発明の名称】 皮膜型インダクタとその製造方法

(57) 【要約】

【課題】 回路基板への実装効率がよい皮膜型インダクタとその製造方法を提供する。

【解決手段】 セラミックスや少なくとも表面を絶縁性にした磁性材料等の絶縁性の基材12表面に導電体膜14を形成し、この基材12の両端に電極20、22を有し、電極20、22間の導電体膜14には一方の電極20から他方の電極22に至る螺旋状の溝16を備える。溝16の両側の導電体膜14はこの溝16で分断されコイル部18が形成され、コイル部18の一部に溝16で区画されこのコイル部18のインダクタンスを調整するトリミング部24を設ける。トリミング部24は、電極20に接してコイル部18の一端部に形成され、溝16の一端部とこの溝16に電極20の一方から延びた区画用の溝26とによって挟まれる。



【特許請求の範囲】

【請求項1】 絶縁性の基材の表面に導電体膜を形成し、この基材の両端に電極を有し、上記電極間の導電体膜には上記一方の電極から他方の電極に至る螺旋状の溝を形成し、この溝の両側の上記導電体膜をこの溝で分断してコイル部を形成し、このコイル部の一部に上記溝で区画されインダクタンスを調整するトリミング部を設けた皮膜型インダクタ。

【請求項2】 上記トリミング部は、上記電極に接して上記コイル部の一端部に形成され、連続する上記螺旋状の溝と上記電極の一方から形成した区画用の溝とによって挟まれ、上記コイル部の導電路長を調整可能に設けた請求項1記載の皮膜型インダクタ。

【請求項3】 絶縁性の基材の表面に導電体膜を形成し、この導電体膜に螺旋状の溝を形成してコイル部を設け、このコイル部の一部に上記溝で区画されインダクタンスを調整するトリミング部を設け、このトリミング部にトリミング溝を形成して上記コイル部のインダクタンスを調整する皮膜型インダクタの製造方法。

【請求項4】 絶縁性の平面状基材を設け、この基材に所定間隔で複数対の透孔を形成し、この透孔内面及び上記透孔間に導電体パターンを設けて、上記透孔間及び上記基材表裏面により螺旋状の導電体パターンを形成し、この導電体パターンの両端に電極を形成した皮膜型インダクタ。

【請求項5】 上記導電体パターンは、上記基板表裏面で互い違いになるようにして、上記基材表裏面に複数の上記導電体パターンを多重螺旋状に形成したものである請求項4記載の皮膜型インダクタ。

【請求項6】 上記多重螺旋状の導電体パターンは、互いに独立した二重螺旋状に形成されているものである請求項5記載の皮膜型インダクタ。

【請求項7】 上記二重螺旋状の導電体パターンは、螺旋の巻き数が互いに異なる請求項5または6記載の皮膜型インダクタ。

【請求項8】 絶縁性の平面状基材を設け、この基材に所定間隔で複数対の透孔を形成し、上記基材表面にコイルパターン形成部及び電極形成部を除いてメッキレジストを設け、この後、上記透孔及び所定のコイルパターン形成部及び電極形成部にメッキにより導電体膜を形成し、上記基材表裏面に多重螺旋状の導電体コイルパターンを形成するチップインダクタの製造方法。

【請求項9】 絶縁性の平面状基材を設け、この基材に所定間隔で複数対の透孔を形成し、この透孔内面を含む上記基材表面に導電体膜を形成し、この基材表面の導電体膜を、上記透孔内及び上記透孔間並びに上記基板表面の所定範囲であって上記透孔間の近傍に上記導電体膜が残るようにエッチングレジストで被覆し、上記エッチングレジストが残った部分以外の上記導電体膜を除去して、上記基材表裏面に螺旋状の導電体コイルパターンを

形成するチップインダクタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、絶縁性の基材の表面に形成された導電層体膜によるコイルパターンを形成した皮膜型インダクタとその製造方法に関する。

【0002】

【従来の技術】 従来、皮膜型インダクタは、特開平9-55321号公報や図10に示すように、絶縁性の磁性材料やその他少なくとも表面が絶縁材料の角型基材1の表面に、導電体膜3を形成し、この導電体膜3に螺旋状の溝2を形成してコイル部5を形成していた。そして、コイル部5の両端部には電極4が設けられ、回路基板表面に表面実装可能に形成されている。

【0003】

【発明が解決しようとする課題】 上記従来の技術の場合、溝2によるコイル部5はそのインダクタンス値を調整することができず、回路基板表面の回路パターンにインダクタンス調整用のパターンを形成したりしてインダクタンス調整を行っていた。この場合、回路基板表面にトリミング用のパターンが形成されているので、回路基板の実装効率が落ち、回路基板の小型化の妨げとなっていた。さらに、トリミングはレーザ等で行うので、回路基板上の他の部品にも悪影響を及ぼす恐れもあった。

【0004】 さらに、上記従来の技術の場合、電子機器の小型化薄型化の要請によりチップ基材の形状を小さく薄くすると、コイル部のコイルの巻き数が少なくインダクタとしての必要な性能が得られない場合があった。また、薄型化には薄膜インダクタも有効であるが、インダクタンス等の性能について十分なものが得られないものであった。

【0005】 この発明は上記従来の技術の問題点に鑑みてなされたもので、所望のインダクタンスを確実に得ることができ、小型化が容易であり、回路基板への実装効率もよい皮膜型インダクタとその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】 この発明の皮膜型インダクタは、セラミックスや少なくとも表面を絶縁性にした磁性材料等の絶縁性の基材表面に導電体膜を形成し、この基材の両端に電極を有し、上記電極間の導電体膜には上記一方の電極から他方の電極に至る螺旋状の溝を備える。この溝の両側の上記導電体膜はこの溝で分断されコイル部が形成され、このコイル部の一部に上記溝で区画されこのコイル部のインダクタンスを調整するトリミング部を設けた皮膜型インダクタである。上記トリミング部は、上記電極に接して上記コイル部の一端部に形成され、連続する上記溝と、上記螺旋状の溝に上記電極の一方から延びた区画用の溝とによって挟まれ、上記コイル部の導電路長を調整可能にしたものである。

【0007】またこの発明は、絶縁性の基材の表面に導電体膜を形成し、この導電体膜に螺旋状の溝を形成してコイル部を設け、このコイル部の一部に上記溝で区画されインダクタンスを調整するトリミング部を設ける皮膜方インダクタの製造方法である。そして、このトリミング部にトリミング溝を形成して、上記コイル部のインダクタンスを調整するものである。

【0008】またこの発明の皮膜型インダクタは、セラミックスや少なくとも表面を絶縁性にした磁性材料等の絶縁性の平面状基材を設け、この基材に所定間隔で複数対の透孔を形成し、この透孔内面及び上記透孔間に導電体パターンを設けて、上記透孔間及び上記基材表裏面により螺旋状の導電体パターンを形成し、この導電体パターンの両端に電極を形成したものである。上記導電体パターンは、上記基板表裏面で互い違いになるようにして、上記基材表裏面に複数の上記導電体パターンを多重螺旋状に形成したものである。この多重螺旋状の導電体パターンは、互いに独立し絶縁された二重螺旋状に形成されているものである。また、上記二重螺旋状の導電体パターンは、螺旋の巻き数が互いに異なるものである。

【0009】この発明の皮膜型インダクタの製造方法は、セラミックスや少なくとも表面を絶縁性にした磁性材料等の絶縁性の平面状基材を設け、この基材に所定間隔で複数対の透孔を形成し、上記基材表面にコイルパターン形成部及び電極形成部を除いてメッキレジストを設ける。この時、各コイルパターンは、多重螺旋状に各々独立したコイルパターンが形成されるようにメッキレジストが設けられていない部分を形成する。この後、上記透孔及び所定のコイルパターン形成部及び電極形成部にメッキにより導電体膜を形成し、上記基材表裏面に多重螺旋状の導電体パターンを形成するチップインダクタの製造方法である

【0010】また、この発明のチップインダクタの製造方法は、セラミックスや少なくとも表面を絶縁性にした磁性材料等の絶縁性の平面状基材を設け、この基材に所定間隔で複数対の透孔を形成し、この透孔内面を含む上記基材表面に導電体膜を形成し、この基材表面の導電体膜を、上記透孔内及び上記透孔間並びに上記基板表面の所定範囲であって上記透孔間の近傍に上記導電体膜が残るようにエッチングレジストで被覆し、上記エッチングレジストが残った部分以外の上記導電体膜を除去して、上記基材表裏面に螺旋状の導電体膜によるコイルパターンを形成するチップインダクタの製造方法である。

【0011】このコイルパターンは、上記基材の表裏面で互い違いに交差した複数本の多重螺旋状導電体パターンである。上記エッチングレジストは、印刷により形成するものである。また上記エッチングレジストはフォトリジストを用いても良い。

【0012】

【発明の実施の形態】以下、この発明の実施形態につい

て図面に基づいて説明する。図1、図2は、この発明の第一実施形態の皮膜型インダクタ10を示し、絶縁性の磁性材料その他絶縁材料であるセラミックスや、フェライト等の磁性材料の表面に絶縁皮膜を施した基材12からなる。基材12の四方の側面には銅メッキ等による金属薄膜の導電体膜14が設けられている。この導電体膜14には、基材12に達する深さ程度の溝16が形成され、この溝16により隣接する導電体膜14同士が分断されている。溝16は、基材12の一方の端部から他方の端部に至る螺旋状に形成され、この溝16で仕切られる導電体膜14により、基材12の表面にコイル部18が形成されている。

【0013】また基材12の溝16によるコイル部18の両端部には、各々電極20、22が形成されている。この皮膜型インダクタの4方の側面を、その表面側から4a、4b、4c、4dとすると、コイル部18の一端部の側面4aには、溝16で区画されこのコイル部16のインダクタンスを調整するトリミング部24が設けられている。このトリミング部24は、電極20側に接してコイル部18の一端部に形成されている。トリミング部24を形成する部分は、溝16の一端部が、このトリミング部24で導電体膜14の一側部を囲むように形成されている。溝16はトリミング部24をとるために、基材12の側面4dで電極20側に分岐して接続し、溝16の他方は、基材12の角部に達している。また、基材12の他方の側面4bでは、連続する螺旋状の溝16に電極20の一方の側面から延びた区画用溝26とによって挟まれ、コイル部の導電路長を調整可能な領域を形成している。

【0014】従って、この皮膜型インダクタ10の側面の展開図である図2に示すように、溝16と区画用溝26とで囲まれる領域は、電極20に接続しているが、溝16、26により分断され、コイル部18を構成するものではない。一方、基材12の表面側で、区画用溝26と溝16とで2方が区画されたトリミング部24は、電極22につながった導電体膜14であるコイル部18に接続している。

【0015】この実施形態の皮膜型インダクタの製造方法は、まずセラミックス材料等を成形して焼成し、所望形状の基材12を形成する。そして、基材12の各電極14部分及び側面にメッキや蒸着、スパッタリング等により導電体膜14を形成する。次に、導電体膜14の表面に、基材12に届く螺旋状の溝16を形成する。溝16は、その溝16を挟んで導電体膜14同士を分断する。これにより電極20、22間にコイル部18が形成される。溝16の形成は、レーザー光の他、カッターや砥石円盤を用いることができる。溝16の形成に際して、溝16の一端部16aを、電極20につなげるとともに、基材12の表面側を挟んで一端部16aの反対側の側面で、電極20と溝16を結ぶ区画用溝26を形成す

る。これにより、区画用溝26と溝16とで2方が区画されコイル部18につながる部分がトリミング部24となる。さらに、基材12の両端部の電極20、22には、それぞれ導電体膜16の両端部を覆うようにはんだメッキ等を施す。また、このコイル部18が形成された部分の表面を絶縁性の強磁性体であるフェライトの膜で被覆しても良い。被覆方法は、磁性体材料を含有した磁性体塗料を塗布する等により行う。

【0016】この被膜型インダクタ10は、これを回路基板に表面実装した後、トリミング部24に区画用溝26や、溝16の一端部から延びたトリミング溝28を形成して、インダクタンスを調整する。このトリミング溝28の形成は、側面4b、4dから側面4aにかけて形成するのが好ましいが、側面4b、4dだけに形成してもよい。トリミング溝28の形成は、インダクタンスの調整量に合わせて適宜の位置、形状および長さに形成される。

【0017】この実施形態の皮膜型インダクタ10によれば、トリミング部24を基材12上に設けたので、回路基板にインダクタンスを調整するトリミング部を設ける必要がなく、実装密度を上げることができる。また、インダクタ素子自体でトリミング可能であり、この皮膜型インダクタ10を取り付ける対象を選ばない。

【0018】次にこの発明の皮膜型インダクタとその製造方法の第二実施形態について図3、図4を基にして説明する。ここで、上記実施形態と同様の構成は、同一の符号を付して説明を省略する。この実施形態の皮膜型インダクタは、溝16の一端部16aを基材12の角部に沿って形成し、この角部の溝16からトリミング溝28を形成するものである。同様に、区画用溝26も他方の角部に形成し、トリミング溝28をこの角部から形成する。これにより、さらにトリミング溝28の形成が容易となる。

【0019】次にこの発明の皮膜型インダクタとその製造方法の第三実施形態について図5、図6を基にして説明する。ここで、上記実施形態と同様の構成は、同一の符号を付して説明を省略する。この実施形態の皮膜型インダクタは、絶縁性の磁性材料その他絶縁材料であるセラミックスや、フェライト等の磁性材料の表面に絶縁皮膜を施した基板状の基材32からなる。基材32の両面には銅メッキ等による金属薄膜の導電体膜34が設けられ、基材32の互いに平行な端縁部に沿って複数のスルーホール36が形成されている。スルーホール36内も導電体膜34により覆われている。導電体膜34は、基材32の表面側でスルーホール36を結ぶように互いに平行なパターンとして形成され、基材32の裏面側でも同様に導電体膜34がスルーホール34を結ぶ図5に示すように、各導電体膜34は、スルーホール36を結んで、互いに絶縁された2重螺旋状に形成されている。各2重螺旋状の導電体膜34は、コイルパターンを形成

し、各2重螺旋状の導電体膜34は、各々両端部が基材32表面の電極38、40に接続している。一对の電極38が導電体膜34により1本のコイルパターンに接続し、他の一对の電極40が他の導電体膜34による1本のコイルパターンに接続している。また、導電体膜34のコイルパターンは、絶縁性の磁性体塗料42により被覆されている。

【0020】この実施形態の皮膜型インダクタの製造方法は、基材32に所定ピッチのスルーホール36の列を形成し、コイルパターン及び電極形成部分以外に印刷によりメッキレジストを塗布する。または、スルーホール36を除く全面にフォトレジスト材料を塗布し、電極及びコイルパターン形状を露光し、この電極及びコイルパターン形状部分のレジスト材料を除去する。フォトレジストを用いることにより、より精密で細かいパターンが可能である。

【0021】この後、基材32を無電解メッキ液中に浸漬し、銅や、銅とニッケル等をメッキし、さらに電解メッキにより導電体膜34を形成する。メッキ液に浸漬し、電極38、40及びコイルパターンの導電体膜34を形成する。またスルーホール36内にもメッキにより導電体膜が形成される。そして、磁性体塗料42を所定範囲に印刷又は塗布して乾燥硬化させる。

【0022】また、他の製造方法として、基材32及びスルーホール36内の全面に導電体膜34を形成し、電極38、40及びコイルパターン部分にメッキレジストを印刷又は塗布して基材32をエッチング液に浸漬する。これによって所望のパターンの導電体膜34を形成することができる。

【0023】この実施形態の皮膜型インダクタによれば、多重螺旋状のコイルパターンを薄い基材32に容易に形成することができ、大型基材32錠に多数のコイルパターンを形成した後に分割しても良く、効率的にインダクタを形成することができる。また、インダクタのコイル部分が2重螺旋状に形成されているので、コイルパターンの電極38、40の接続方法により、単巻変圧器又は複巻変圧器として何れにも用いることができ、回路基板への実装も表面実装により簡単に行うことができる。

【0024】次にこの発明の皮膜型インダクタとその製造方法の第四実施形態について図7、図8を基にして説明する。ここで、上記実施形態と同様の構成は、同一の符号を付して説明を省略する。この実施形態の皮膜型インダクタは、上記実施形態と同様の構造であって、電極一对の電極44が基材32の表面側に形成され、導電体膜34による一つのコイルパターンの両端に位置している。また、電極46は、基材32に裏面側に位置し、他方補コイルパターンの両端に接続されている。この実施形態の皮膜型インダクタも2重螺旋状のコイルパターンの各螺旋状コイルが各々独立に形成されているものであ

る。

【0025】この実施形態の皮膜型インダクタは、図8に示すように、2枚の回路基板50、52の間に積層して配置可能なものである。回路基板50、52への取り付けは、はんだによるほか、導電体塗料56により回路パターン54に接続しても良い。

【0026】この実施形態の皮膜型インダクタの製造方法は上記実施形態と同様に形成される。また、図8は拡大して示したものであり、この実施形態の皮膜型インダクタは多層基板の間に実装可能なものである。

【0027】この実施形態の皮膜型インダクタによっても上記実施形態と同様の効果を得ることができ、さらに、多層基板への実装が可能であり、より実装密度を向上させることができる。

【0028】次にこの発明の皮膜型インダクタとその製造方法の第五実施形態について図9を基にして説明する。ここで、上記実施形態と同様の構成は、同一の符号を付して説明を省略する。この実施形態の皮膜型インダクタは、上記実施形態と同様の構造であって、各電極間のコイルパターンの巻き数が異なるようにしたものである。基材32の表面側の電極58間のコイルパターンは、巻き数の少ないものであり、図示しない裏面側の電極間のコイルパターンの巻き数が多いものである。

【0029】裏面側の電極間のコイルパターンの巻き数は、機材32の中央部に形成されたスルーホール60を利用し基材32の一側縁部のスルーホール36の数を増加させて、スルーホール60で折り返すようにして、巻き数を増加させている。

【0030】これにより、導電体膜34が交差させることなく一方の電極間のコイルパターンの巻き数を増加させることができ、種々のインダクタ素子やトランスに利用することができる。この実施形態の皮膜型インダクタのも上記実施形態と同様のものである。

【0031】なおこの発明は、上記実施形態に限定されるものではなく、コイルパターンの形状や巻き数は適宜設定可能なものであり、トリミング方法は適宜選択可能である。また、多重螺旋構造のコイル部を形成後にインダクタンスを調整できるものでもよい。

【0032】

【発明の効果】この発明の皮膜型インダクタとその製造

方法のトリミング部を設けたものは、回路基板にトリミング用のパターンを設ける必要がなく、トリミングも容易に可能であり、実装密度も向上させることができ、回路の品質も向上させることができる。

【0033】また、多重螺旋構造を持ったインダクタは、コイルパターンの接続方法により一つの素子で異なるインダクタ回路を形成することができ、電子機器の実装密度を上げるとともに、部品管理を容易にし、電子機器の製造コストも削減することができる。

10 【図面の簡単な説明】

【図1】この発明の第一実施形態の皮膜型インダクタを示す斜視図である。

【図2】この発明の第一実施形態の皮膜型インダクタの側面の模式展開図である。

【図3】この発明の第二実施形態の皮膜型インダクタを示す斜視図である。

【図4】この発明の第二実施形態の皮膜型インダクタの側面の模式展開図である。

【図5】この発明の第三実施形態の皮膜型インダクタを示す平面図である。

【図6】この発明の第三実施形態の皮膜型インダクタの縦断面図である。

【図7】この発明の第四実施形態の皮膜型インダクタを示す平面図である。

【図8】この発明の第四実施形態の皮膜型インダクタの実装状態の縦断面図である。

【図9】この発明の第五実施形態の皮膜型インダクタを示す平面図である。

【図10】従来の皮膜型インダクタを示す斜視図である。

【符号の説明】

10 皮膜型インダクタ

12 基材

14 導電体膜

16 溝

18 コイル部

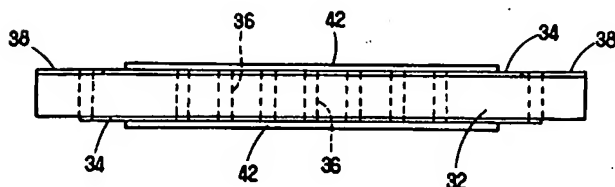
20, 22 電極

24 トリミング部

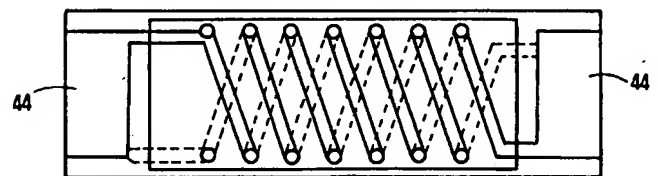
26 区画用溝

28 トリミング溝

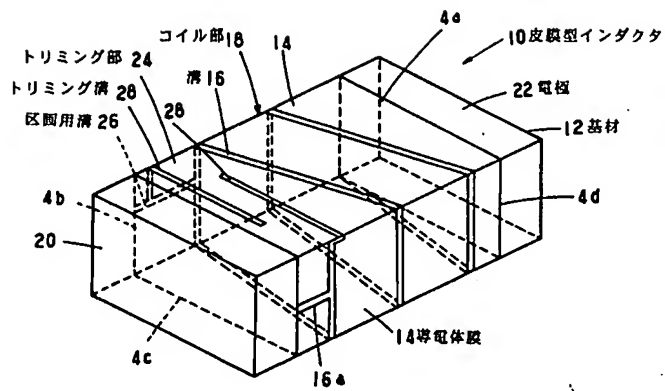
【図6】



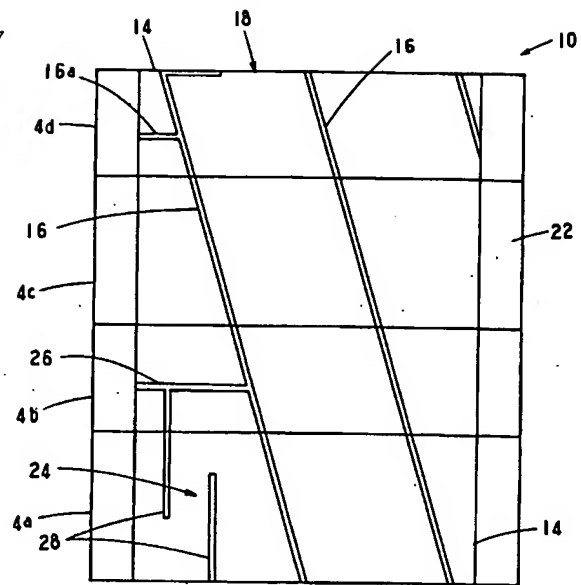
【図7】



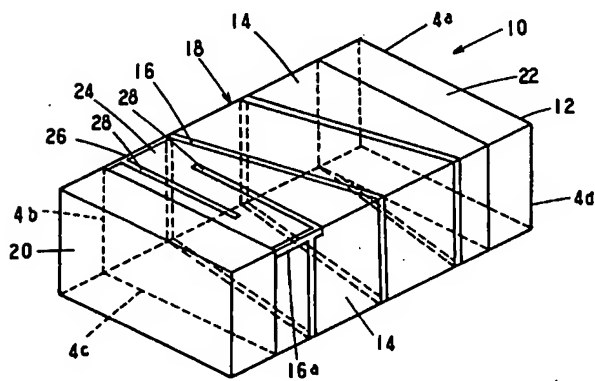
【図1】



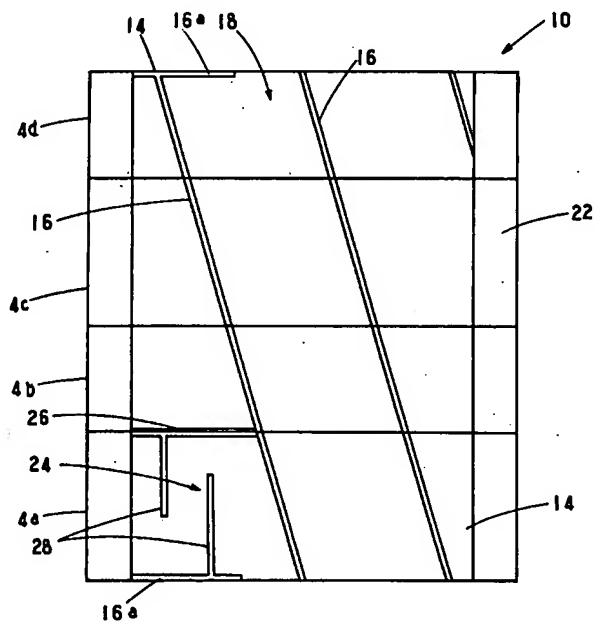
【図2】



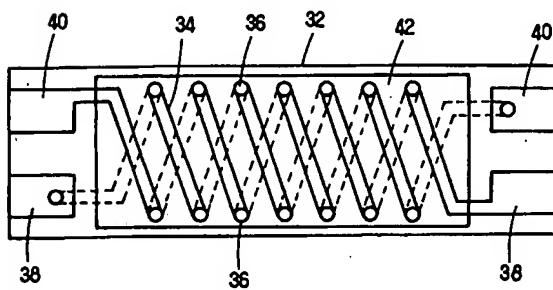
【図3】



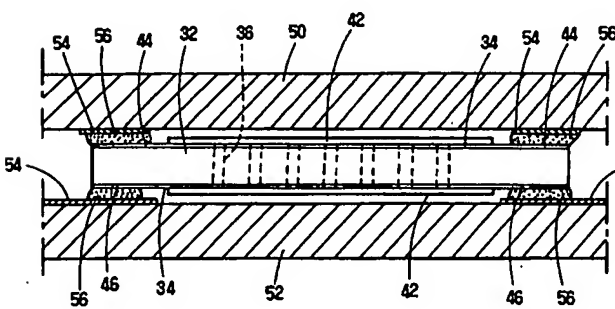
【図4】



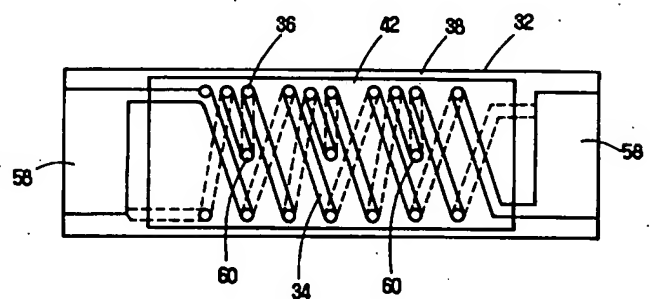
【図5】



【図8】



【図9】



【図10】

